

Práticas estabelecidas no uso do VHDL

Sempre usar lógica positiva

As ferramentas têm a liberdade de mudar a polaridade para a forma mais eficiente. Não é necessário então misturarmos logics positiva e negativa em um código. Caso um sinal de entrada seja ativo baixo, crie um sinal interno e o ligue através de um comando do tipo

```
sinalinterno <= NOT sinalexternoativobaixo;
```

Em um comando ENTITY listar um sinal por linha

Esta convenção induz a descrições da interface mais inteligíveis.

```
ENTITY contador IS
  PORT(
    clk      : IN      std_logic;    -- relógio transição positiva
    rst      : IN      std_logic;    -- reset assíncrono
    load:    : IN      std_logic;    -- carrega o valor de INPUT em CNT
    inc      : IN      std_logic;    -- incrementar contador
    input    : IN      std_logic_vector(5 downto 0); -- entrada no caso de load ativo
    cnt      : OUT     std_logic_vector(5 downto 0); -- saída do contador
  );
END ENTITY contador;
```

Todas as interfaces devem ser do tipo std_logic ou std_logic_vector

Isto torna muito mais fácil a interconexão de diferentes módulos. Também torna desnecessário o uso de definições de bibliotecas adicionais nas entidades que definem as interconexões.

As interfaces devem ser do tipo IN ou OUT

Isto torna muito mais fácil a interconexão de diferentes módulos. O uso de sinais do tipo BUFFER dificulta desnecessariamente este processo. Somente em caso de barramentos usar INOUT!

No caso de um sinal de saída ter que ser acessado internamente criar um sinal para uso interno e fazer uma atribuição.

```
sinalsaida <= sinalinterno; -- somente usar sinalinterno no código
```

Usar sempre que possível a biblioteca numeric_std

Esta é a única forma padronizada. As bibliotecas std_arith, std_logic_arith, std_logic_numeric, entre outras, têm variações que podem introduzir erros difíceis de serem detectados.

Em vetores o bit menos significativo deve ter índice 0

É a convenção atualmente mais usada. Um leitor moderno vai assumir que o código foi escrito com esta convenção.

Como regra, usar transição positiva para o relógio

É a convenção atualmente mais usada. Um leitor moderno vai assumir que o código foi escrito com esta convenção.

Seja consistente na codificação

O VHDL não distingue símbolos em caixa alta ou baixa. Para facilitar a leitura, siga de forma consistente um esquema de codificação. Os mais usados são:

- Palavras-chave em maiúsculo e os demais em minúsculo
- Palavras-chave em minúsculo e os demais em maiúsculo
- Tudo em minúsculo

Use um esquema de indentação

Embora não faça diferença para o compilador, é muito importante usar um esquema de indentação com um comando por linha.

```
PROCESS(clk, rst)
BEGIN
    IF rst = '1' THEN
        contador <= 0;
    ELSIF rising_edge(clk) THEN
        contador <= contador + 1;
    END IF;
END PROCESS;
```